

B12



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag: 29.04.1998 Patentblatt 1998/18  
(51) Int. Cl.<sup>6</sup>: H01L 27/092, H01L 27/12, H01L 21/86  
(21) Anmeldenummer: 97113774.0  
(22) Anmeldetag: 08.08.1997

(84) Benannte Vertragsstaaten:  
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC  
NL PT SE  
Benannte Erstreckungsstaaten:  
AL LT LV RO SI  
(30) Priorität: 27.09.1996 DE 19639874  
(71) Anmelder:  
SIEMENS AKTIENGESELLSCHAFT  
80333 München (DE)

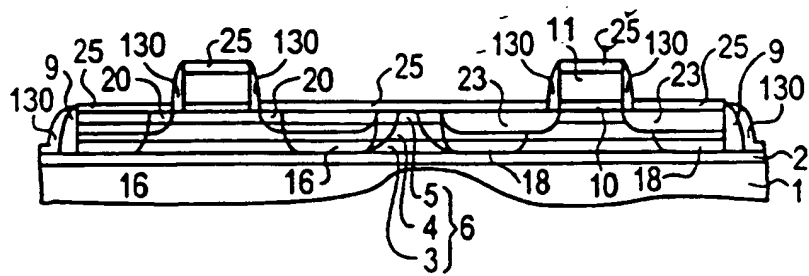
(72) Erfinder:  
• Lustig, Bernhard, Dr.  
81737 München (DE)  
• Schäfer, Herbert, Dr.  
85635 Höhenkirchen-Siegertsbr. (DE)  
• Franosch, Martin  
81739 München (DE)

(54) **Integrierte CMOS-Schaltungsanordnung und Verfahren zu deren Herstellung**

(57) Auf einer isolierenden Schicht (2), die auf einer Trägerplatte (1) angeordnet ist, sind Halbleiterinseln (6) angeordnet, die jeweils mindestens eine Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht (4) und eine verspannte Siliziumschicht (5) umfassen, die im wesentlichen die gleiche Gitterkon-

stante wie die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht (4) aufweist. Die Halbleiterinseln werden vorzugsweise durch selektive Epitaxie gebildet und umfassen p-Kanal-MOS-Transistoren und/oder n-Kanal-MOS-Transistoren.

**FIG 9**



EP 0 838 858 A2

## Beschreibung

Bei Strukturverkleinerungen in der MOS-Technik nach dem Prinzip der ähnlichen Verkleinerung bleiben im Mikrometerbereich die Eigenschaften von MOS-Transistoren und CMOS-Schaltungen im wesentlichen erhalten. Bei MOS-Transistoren mit Kanallängen von zum Beispiel unter 100 nm treten jedoch Kurzkanal- und Puncheffekte auf.

Diese können zwar teilweise durch eine erhöhte Dotierung des Substrats ausgeglichen werden, eine derartige hohe Dotierung des Substrats führt jedoch unter anderem zu einer Verschlechterung der Ladungsträgerbeweglichkeit im Kanal.

Ferner muß bei MOS-Transistoren mit Kanallängen unter 100 nm die Unterschwellsteilheit  $d \ln(I_{\text{drain}})/d V_{\text{gate}}$  maximiert werden, damit auch bei niedrigen Betriebsspannungen die Ströme im leitenden Zustand und im nichtleitenden Zustand des Transistors deutlich unterschieden werden können. Schließlich müssen, um extreme Kurzkanaleffekte zu vermeiden, flache Source/Drain-Gebiete eingesetzt werden, die einen kleinen spezifischen Serienwiderstand von der Größenordnung 100  $\Omega \mu\text{m}$  aufweisen.

In der Literatur (siehe zum Beispiel K. Rim et al. IEEE IEDM Tech. Dig., Seite 517 (1995)) ist vorgeschlagen worden, zur Vergrößerung der Ladungsträgerbeweglichkeit n- und p-Kanal-Transistoren in Substraten zu realisieren, die mindestens im Kanalbereich der Transistoren verspanntes Silizium aufweisen. Unter verspanntem Silizium wird dabei Silizium verstanden, dessen Gitterkonstante gegenüber dem ungestörten Siliziumkristall in zwei Raumrichtungen vergrößert ist.

Derartiges verspanntes Silizium wird dadurch hergestellt, daß Silizium auf einem Substrat mit größerer Gitterkonstante gitterangepaßt aufgewachsen wird. Als Substratmaterial ist  $\text{Si}_{1-x}\text{Ge}_x$  geeignet. Ein Problem bei der Herstellung von verspanntem Silizium sind die hohen Defektdichten in der  $\text{Si}_{1-x}\text{Ge}_x$ -Unterlage.

Es ist vorgeschlagen worden (siehe A. R. Powell et al. Appl. Phys. Lett. 64, Seite 1856 (1994)), die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auf die gedünnte Siliziumschicht eines SOI-Substrates aufzuwachsen. Spannungen in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht relaxieren in diesem Fall in die darunterliegende gedünnte Siliziumschicht, sofern der Germaniumanteil in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht unter 15 Prozent liegt.

Zur Herstellung sehr flacher Source/Drain-Gebiete mit geringem Serienwiderstand ist von Y. Mitani et al. IEEE VLSI Tech. Dig., Seite 91 (1996), vorgeschlagen worden, die Source/Drain-Gebiete durch Ätzen von Vertiefungen in die Oberfläche des Substrats und selektives, in situ dotiertes Aufwachsen von amorphem Silizium und anschließendes Rekristallisieren des amorphem Siliziums herzustellen.

Der Erfindung liegt das Problem zugrunde, eine integrierte CMOS-Schaltungsanordnung und ein Verfahren zu deren Herstellung anzugeben, in der Kurzkanaleffekte und Puncheffekte vermieden werden und

eine hohe Ladungsträgerbeweglichkeit sichergestellt wird.

Dieses Problem wird erfindungsgemäß gelöst durch eine CMOS-Schaltungsanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 6. Weitere Ausgestaltungen der Erfindung gehen aus den Unteransprüchen hervor.

In der erfindungsgemäßen CMOS-Schaltungsanordnung sind die Transistoren in Halbleiterinseln angeordnet, die auf einer isolierenden Schicht angeordnet sind. Jede der Halbleiterinseln umfaßt eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und eine darauf angeordnete verspannte Siliziumschicht. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann von der isolierenden Schicht durch eine Siliziumschicht getrennt sein. Die verspannte Siliziumschicht weist im wesentlichen die gleiche Gitterkonstante wie die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auf. In jeder Halbleiterinsel können mechanische Spannungen der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht gegebenenfalls über die darunter angeordnete Siliziumschicht, oder durch das gegebenenfalls zum Beispiel thermisch aufgeweichte Isolationsmaterial zu den Seiten der Halbleiterinseln relaxieren. Daher weist die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auch bei Germaniumanteilen über 40 Prozent praktisch keine Defekte auf. Die Verwendung von  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten mit Germaniumanteilen über zum Beispiel 15 Prozent hat den Vorteil, daß in der darauf verspannten Siliziumschicht wesentlich höhere Elektronen- und Löcherbeweglichkeiten erhalten werden.

Bei einem Germaniumanteil von zum Beispiel 40 Prozent kann die Dicke der Siliziumschicht zum Beispiel 10 nm, der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 20 nm und der verspannten Siliziumschicht 10 nm betragen. Es liegt im Rahmen der Erfindung, die Siliziumschicht im Dickenbereich zwischen 0 nm und ca. 20 nm, die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht im Dickenbereich zwischen 10 nm und 50 nm und mit Germaniumanteilen von 20 Prozent bis 50 Prozent und die verspannte Siliziumschicht im Dickenbereich zwischen 5 nm und 20 nm herzustellen.

In dem MOS-Transistor bildet sich im leitenden Zustand sowohl für n-Kanal- als auch für p-Kanal-Transistoren ein leitender Kanal an der Oberfläche der verspannten Siliziumschicht aus.

Um die Ausbildung vergrabener Kanäle an der Grenzfläche zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und der verspannten Siliziumschicht zu vermeiden, liegt es im Rahmen der Erfindung, zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und der verspannten Siliziumschicht eine Pufferschicht vorzusehen, die  $\text{Si}_{1-y}\text{Ge}_y$  enthält mit  $y \leq x$  und in der der Germaniumanteil abnimmt. Die Pufferschicht weist den geringsten Germaniumanteil an der Grenzfläche zur verspannten Siliziumschicht auf.

Zur Realisierung einer symmetrischen CMOS-Schaltungsanordnung, in der die Schwellenspannung von n-Kanal-Transistoren gleich der Schwellenspannung der p-Kanal-Transistoren ist, ist es vorteilhaft, die MOS-Transistoren mit Gateelektroden zu versehen, die polykristallines, p\*-dotiertes Germanium enthalten. Die Gateelektroden können aus reinem polykristallinem

Germanium oder aus einer Mischung aus polykristallinem  $\text{Si}_1\text{Ge}_{1-x}$  bestehen. Polykristallines,  $p^+$ -dotiertes Germanium weist eine Austrittsenergie auf, die im wesentlichen in der Mitte der Bandlücke von verspanntem Silizium liegt. Es lassen sich damit sowohl  $n$ - als auch  $p$ -Oberflächenkanal-MOS-Transistoren mit exzellenten Kennlinien realisieren.

Es ist besonders vorteilhaft, in einer Halbleiterinsel ein komplementäres MOS-Transistorpaar, das einen  $p$ -Kanal-Transistor und einen  $n$ -Kanal-Transistor als Inverter umfaßt, zu realisieren.

Die Herstellung der Halbleiterinseln erfolgt vorzugsweise ausgehend von einem SOI-Substrat, das eine Siliziumschicht und eine darunter angeordnete isolierende Schicht auf einer Trägerscheibe umfaßt. Die Siliziumschicht wird ineisförmig strukturiert, wobei die Oberfläche der isolierenden Schicht teilweise freigelegt wird. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann sowohl durch selektive Epitaxie auf der strukturierten Siliziumschicht, als auch durch Einbringen von Germanium durch Implantation oder Diffusion in die strukturierte Siliziumschicht gebildet werden. Im Hinblick auf eine definierte Schichtdicke ist die selektive Epitaxie vorteilhaft.

Die verspannte Siliziumschicht wird anschließend durch selektive Epitaxie aufgewachsen. Beim epitaktischen Aufwachsen wird in der verspannten Siliziumschicht die Gitterkonstante aus der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht übernommen.

Im Hinblick auf flache Source/Drain-Gebiete ist es vorteilhaft, die Source/Drain-Gebiete jeweils aus einem ersten Teilgebiet und einem zweiten Teilgebiet zu bilden. Das zweite Teilgebiet weist dabei eine geringere Tiefe und Dotierstoffkonzentration als das erste Teilgebiet auf. Die effektive Kanallänge wird durch den lateralen Abstand der zweiten Teilgebiete bestimmt. In der Literatur sind für die ersten Teilgebiete der Begriff HDD-Profil und für die zweiten Teilgebiete der Begriff LDD-Profil gebräuchlich.

Es ist vorteilhaft, zunächst die ersten Teilgebiete herzustellen, wobei Spacer an den Flanken der Gateelektrode den Abstand der ersten Teilgebiete zur Gateelektrodenkante definieren. Nach Entfernen dieser Spacer werden anschließend die zweiten Teilgebiete der Source/Drain-Gebiete erzeugt. Da die zweiten Teilgebiete nach den ersten Teilgebieten gebildet werden, sind sie den Temperaturbelastungen und den Prozessschritten zur Bildung der ersten Teilgebiete nicht unterworfen und können daher mit einem steileren Dotierstoffprofil hergestellt werden.

Vorzugsweise werden die zweiten Teilgebiete für die Source/Drain-Gebiete für die  $p$ -Kanal-Transistoren durch Ätzen mindestens in die verspannte Siliziumschicht und anschließende selektive in situ dotierte Epitaxie gebildet. Bei der in situ dotierten Epitaxie wird der Dotierstoff in das epitaktisch gewachsene Kristallgebiet eingebaut. Eine nachfolgende Aktivierung des Dotierstoffs ist bei der in situ dotierten Epitaxie nicht erforderlich. Damit können stufenförmige Dotierstoff-

profile gebildet werden.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, näher erläutert.

Figur 1 zeigt ein Substrat mit einer Halbleiterinsel

Figur 2 zeigt das Substrat nach Bildung von Wannen zur Aufnahme von komplementären MOS-Transistoren in der Halbleiterinsel, nach Bildung von Gatedielektrikum, Gateelektrode, Seitenwandspacern und Abscheidung einer ersten Hilfsschicht und einer zweiten Hilfsschicht.

Figur 3 zeigt das Substrat nach Bildung von Spacern aus der zweiten Hilfsschicht und Bildung von ersten Teilgebieten für die Source/Drain-Gebiete des  $n$ -Kanal-Transistors.

Figur 4 zeigt das Substrat nach Bildung von ersten Teilgebieten für die Source/Drain-Gebiete der  $p$ -Kanal-Transistoren.

Figur 5 zeigt das Substrat nach Entfernen der Spacer und Bildung von zweiten Teilgebieten für die Source/Drain-Gebiete der  $n$ -Kanal-Transistoren.

Figur 6 zeigt das Substrat nach einer Ätzung in die Halbleiterinsel im Bereich des  $p$ -Kanal-Transistors.

Figur 7 zeigt das Substrat nach Bildung von zweiten Teilgebieten der Source/Drain-Gebiete für den  $p$ -Kanal-Transistor durch selektive in situ dotierte Epitaxie.

Figur 8 zeigt das Substrat nach selektivem Aufwachsen von Silizium.

Figur 9 zeigt das Substrat nach Bildung von Silizidschichten an der Oberfläche der Source/Drain-Gebiete und der Gateelektroden.

Die Darstellungen in den Figuren sind nicht maßstabsgerecht.

Auf einer Trägerplatte 1 aus zum Beispiel Silizium oder Saphir ist eine isolierende Schicht 2 aus zum Beispiel  $\text{SiO}_2$  mit einer Schichtdicke von zum Beispiel 400 nm angeordnet. Auf der isolierenden Schicht 2 ist eine strukturierte Siliziumschicht 3 mit einer Schichtdicke von zum Beispiel 0 bis 10 nm, eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 mit einer Schichtdicke von zum Beispiel 15 nm und einem Germaniumanteil von zum Beispiel 35 Prozent und eine verspannte Siliziumschicht 5 mit einer Schicht-

dicke von zum Beispiel 5 nm angeordnet. Die strukturierte Siliziumschicht 3, die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 und die verspannte Siliziumschicht 5 bilden gemeinsam eine Halbleiterinsel 6 (siehe Figur 1).

Zur Herstellung der Halbleiterinsel 6 wird vorzugsweise ein SOI-Substrat verwendet, das die Trägerplatte 1 aus Silizium und die isolierende Schicht 2 aus  $\text{SiO}_2$  und eine darauf angeordnete monokristalline Siliziumschicht umfaßt. Zunächst wird die monokristalline Siliziumschicht auf die gewünschte Dicke reduziert, zum Beispiel durch Oxidation und Ätzen mit zum Beispiel HF. Anschließend wird mit Hilfe photolithographischer Prozeßschritte die strukturierte Siliziumschicht 3 gebildet. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 wird durch selektive Epitaxie unter Verwendung von  $\text{H}_2$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{GeH}_4$  als Prozeßgas im Temperaturbereich zwischen 500°C und 900°C und Druckbereich zwischen 1 und 760 Torr aufgewachsen. In der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auftretende mechanische Verspannungen relaxieren in die strukturierte Siliziumschicht 3 über die freiliegenden Seitenflächen. Die bei der selektiven Epitaxie gebildete  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 ist annähernd frei von mechanischen Spannungen. Die verspannte Siliziumschicht 5 wird ebenfalls durch selektive Epitaxie aufgewachsen. Dabei wird als Prozeßgas  $\text{H}_2$ ,  $\text{SiH}_2\text{Cl}_2$  verwendet. Die Prozeßtemperatur liegt zwischen 600°C und 800°C, der Druck zwischen 1 und 760 Torr.

Die Halbleiterinsel 6 weist parallel zur Oberfläche der isolierenden Schicht 2 Abmessungen von zum Beispiel  $2\text{ }\mu\text{m} \times 5\text{ }\mu\text{m}$  auf.

Durch Änderung der Prozeßgaszusammensetzung bei der selektiven Epitaxie zur Herstellung der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht entsteht an der Grenzfläche zur verspannten Siliziumschicht 5 eine Pufferschicht aus  $\text{Si}_{1-y}\text{Ge}_y$ , in der der Germaniumanteil stetig abnimmt. Der Übersichtlichkeit halber ist die Pufferschicht in Figur 1 nicht dargestellt. Die Pufferschicht weist eine Dicke von zum Beispiel 10 nm auf. Der Germaniumanteil  $y$  beträgt zum Beispiel 35 Prozent bis 0 Prozent.

Zur Herstellung eines n-Kanal-Transistors und eines p-Kanal-Transistors in der Halbleiterinsel 6 wird zunächst eine Streuoxidschicht aus TEOS- $\text{SiO}_2$  in einer Dicke von 20 nm abgeschieden (nicht dargestellt). Durch maskierte Implantation wird eine p-dotierte Wanne 7 für den n-Kanal-Transistor und eine p-dotierte Wanne 8 für den p-Kanal-Transistor gebildet (siehe Figur 2). Die Implantation der p-dotierten Wanne 7 erfolgt zum Beispiel mit Bor mit einer Dosis von  $2 \times 10^{12}\text{ cm}^{-2}$  bei 7 keV. Die Implantation zur Bildung der n-dotierten Wanne 8 erfolgt zum Beispiel mit Phosphor mit einer Dosis von  $3 \times 10^{12}\text{ cm}^{-2}$  bei 15 keV.

Danach werden photolithographisch die endgültigen, vertikalen Inselkanten definiert und anisotrop mit zum Beispiel  $\text{CHF}_3/\text{CF}_4$  (Streuoxid), bzw.  $\text{HBr}$  ( $\text{Si/SiGe}$ -Stack) geätzt (Ätzstop ist die isolierende Schicht 2). Nach eventueller Passivierung der Seitenwände der Halbleiterinsel werden dort Seitenwandspacer 9 zum Beispiel aus  $\text{Si}_3\text{N}_4$  gebildet und die Streuoxidschicht

entfernt (siehe Figur 2).

Zur Bildung von Gatedielektrikum 10, Gateelektrode 11 und Deckschicht 12 für den n-Kanal-Transistor und den p-Kanal-Transistor wird anschließend eine zum Beispiel 3 nm dicke  $\text{SiO}_2$ -Schicht durch Plasmaabscheidung oder durch thermische Oxidation bei 600°C, eine polykristalline Gateelektrodenschicht aus zum Beispiel polykristallinem Germanium oder polykristallinem  $\text{Si}_{1-x}\text{Ge}_x$  mit  $x$  gleich 0,15 und eine Deckschicht aus  $\text{SiO}_2$  in einer Dicke von zum Beispiel 200 nm abgeschieden und anschließend mit Hilfe photolithographischer Prozeßschritte und anisotropem Ätzen, zum Beispiel mit  $\text{HBr}$ , strukturiert. Alternativ kann die Gateelektrode 11 mit Hilfe von Elektronenstrahlolithographie oder mit Hilfe von Spacertechniken strukturiert werden. Die Gatelänge beträgt zum Beispiel 100 nm.

Es wird ganzflächig eine erste Hilfsschicht 13 aus zum Beispiel TEOS- $\text{SiO}_2$  oder  $\text{Si}_3\text{N}_4$  in einer Schichtdicke von zum Beispiel 10 nm mit im wesentlichen konformer Kantenbedeckung abgeschieden. Darauf wird eine zweite Hilfsschicht 14 aus zum Beispiel Polysilizium mit einer Schichtdicke von zum Beispiel 60 nm abgeschieden. Die zweite Hilfsschicht 14 ist selektiv zur ersten Hilfsschicht 13 ätzbar.

Durch anisotropes Ätzen der zweiten Hilfsschicht 14 selektiv zur ersten Hilfsschicht 13 mit zum Beispiel  $\text{HBr}$  werden im Bereich der Flanken der Gateelektroden 11 Spacer 140 gebildet (siehe Figur 3). Es wird eine erste Maske 15 aus zum Beispiel Photolack gebildet, die die n-dotierte Wanne 8 abdeckt. Zur Bildung erster Teilgebiete 16 der Source/Drain-Gebiete für den n-Kanal-Transistor wird eine Implantation mit Arsen mit einer Dosis von  $2 \times 10^{15}\text{ cm}^{-2}$  bei einer Energie von 30 keV durchgeführt. Anschließend wird die erste Maske 15 entfernt und ein Temperenschritt durchgeführt zur Ausheilung von Implantationsschäden und zum Eintreiben und Aktivieren des Dotierstoffes in den ersten Teilgebieten 16 des n-Kanal-Transistors. Der Temperenschritt wird bei zum Beispiel 800°C 60 Sekunden durchgeführt.

Es wird eine zweite Maske 17 erzeugt, die die p-dotierte Wanne 7 abdeckt. Durch Implantation mit Bor bei  $2 \times 10^{15}\text{ cm}^{-2}$  und 10 keV werden erste Teilgebiete 18 der Source/Drain-Gebiete für den p-Kanal-Transistor gebildet (siehe Figur 4). Durch Verwenden einer etwas höheren Energie bei der Implantation zur Bildung der ersten Teilgebiete 16 für den n-Kanal-Transistor und der ersten Teilgebiete 18 für den p-Kanal-Transistor können entstehende mechanische Verspannungen besser abgeleitet werden, da bei höherer Energie und Dosis der Implantation die isolierende Schicht 2 aufgeweicht wird und ein Gelfen der Halbleiterinsel 6 zum Abbau mechanischer Spannungen erleichtert wird.

Die zweite Maske 17 wird entfernt. Die Spacer 140 werden durch naßchemisches Ätzen zum Beispiel mit Cholin selektiv zur ersten Hilfsschicht 13 entfernt (siehe Figur 5).

Es wird eine dritte Maske 19 zum Beispiel aus Photolack gebildet, die die n-dotierte Wanne 8 abdeckt.

Durch Implantation mit Arsen mit  $2 \times 10^{14} \text{ cm}^{-2}$  bei 10 keV werden zweite Teilgebiete 20 der Source/Drain-Gebiete für den n-Kanal-Transistor gebildet (siehe Figur 5). Die Tiefe und die Dotierstoffkonzentration der zweiten Teilgebiete 20 der Source/Drain-Gebiete ist geringer als für die ersten Teilgebiete 16. Die laterale Abmessung der zweiten Teilgebiete 20 ist jedoch größer als die der ersten Teilgebiete 16, da zuvor die Spacer 140 entfernt wurden.

Nach Entfernen der dritten Maske 19 wird ein gemeinsamer Temperschritt durchgeführt, um Implantationsschaden bei der Bildung der ersten Teilgebiete 18 für den p-Kanal-Transistor und der zweiten Teilgebiete 20 für den n-Kanal-Transistor auszuheilen und den Dotierstoff in diesen Gebieten einzutreiben und zu aktivieren. Der Temperschritt erfolgt zum Beispiel bei  $750^\circ\text{C}$ , 30 Sekunden. Bei diesen Temperaturbedingungen wird ein Auseinanderlaufen des Dotierstoffprofils insbesondere im zweiten Teilgebiet 20 für den n-Kanal-Transistor vermieden.

Es wird eine vierte Maske 21 aus zum Beispiel Photolack gebildet, die die p-dotierte Wanne 7 abdeckt. Durch anisotropes Ätzen zum Beispiel mit einem anisotropen  $\text{CHF}_3$ - und  $\text{CF}_4$ -Ätzprozeß wird im Bereich für den p-Kanal-Transistor die erste Hilfsschicht 13 geätzt, wobei aus der ersten Hilfsschicht 13 Spacer 130 an den Flanken der Gateelektrode 11 entstehen (siehe Figur 6).

Durch eine Ätzung, die Silizium selektiv zu den Spacern 130 angreift, werden im Bereich für den p-Kanal-Transistor seitlich der Gateelektrode 6 Vertiefungen 22 gebildet. Die Ätzung erfolgt vorzugsweise isotrop, so daß sich die Vertiefungen auch unter die Spacer 130 erstrecken. Die Vertiefungen 22 weisen eine Tiefe von zum Beispiel 15 nm auf. Sie reichen bis in die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 hinein. Bei der Ätzung der Vertiefungen 22 ist es vorteilhaft, ein Germaniumsignal aus der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 als Stoppsignal zu verwenden. Die Ätzung erfolgt zum Beispiel naßchemisch mit Cholin.

Nach Entfernen der vierten Maske 21, und einer Naßreinigung der im Bereich der Vertiefungen 22 freigelegten kristallinen Oberflächen zum Beispiel durch einen HF-Dip werden die Vertiefungen 22 durch selektive, in situ dotierte epitaktische Abscheidung mit zweiten Teilgebieten 23 der Source/Drain-Gebiete für den p-Kanal-Transistor aufgefüllt. Dabei ist es vorteilhaft, vor der epitaktischen Abscheidung durch geringe Zugabe von  $\text{GeH}_4$  oder  $\text{SiH}_4$  bei  $750^\circ\text{C}$  in situ eine Niedertemperaturreinigung der Oberflächen durchzuführen, bei der das natürliche Oxid von Si-Oberflächen abgeätzt wird.

Die in situ dotierte, selektive epitaktische Siliziumabscheidung erfolgt zum Beispiel unter Verwendung eines Gasgemisches aus  $\text{H}_2$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{HCl}$  und  $\text{B}_2\text{H}_6$  bei  $750^\circ\text{C}$  und 10 Torr. Die Prozeßtemperatur wird dabei so gewählt, daß die Struktur und Zusammensetzung der strukturierten Siliziumschicht 3, der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 und der verspannten Siliziumschicht unverändert bleiben. Durch die Zugabe von  $\text{B}_2\text{H}_6$  zu dem Prozeßgasgemisch wird in guter Näherung ein stufenförmiges Dotierprofil für die zweiten Teilgebiete 23 erzeugt. Der Dotierstoff wird in den zweiten Teilgebieten 23 durch die in situ dotierte Epitaxie in das Kristallgitter eingebaut, so daß kein Temperschritt zur Aktivierung der Dotierstoffe erforderlich ist. Das bei der selektiven Epitaxie erzeugte stufenförmige Dotierprofil definiert daher die Ausdehnung der zweiten Teilgebiete 23 für den p-Kanal-Transistor. Die zweiten Teilgebiete 23 für den p-Kanal-Transistor weisen eine Tiefe von zum Beispiel 15 nm auf (siehe Figur 7).

Danach wird auch im Bereich des n-Kanal-Transistors eine Spacerätzung zum Beispiel mit einem anisotropen  $\text{CHF}_3$ - und  $\text{CF}_4$ -Ätzprozeß durchgeführt, bei dem die erste Hilfsschicht 13 geätzt wird und an den Flanken der Gateelektrode 6 Spacer 130 entstehen. Bei der Spacerätzung im Bereich des n-Kanal-Transistors kann der Bereich des p-Kanal-Transistors mit einer weiteren Maske, die nicht dargestellt ist, abgedeckt werden.

Anschließend werden durch selektive Epitaxie freiliegende Siliziumoberflächen mit einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 24 versehen. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 24 wird undotiert, aufgewachsen. Dazu wird zunächst eine Naßreinigung zum Beispiel mit einem HF-Dip und eine Niedertemperaturreinigung bei zum Beispiel  $750^\circ\text{C}$  durchgeführt. Die anschließende epitaktische Abscheidung von  $\text{Si}_{1-x}\text{Ge}_x$  erfolgt zum Beispiel bei  $650^\circ\text{C}$  und 10 Torr mit einem Gasgemisch, das  $\text{H}_2$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{HCl}$  und  $\text{GeH}_4$  enthält. Die Kristallzusammensetzung wird dabei so gewählt, daß die Gitterkonstante der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 24 der Gitterkonstante der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 4 im wesentlichen gleicht, so daß kein weiterer Streß aufgebaut wird.

Nach Entfernen der Deckschicht 12 von den Gateelektroden 11 werden Silizidanschlüsse gebildet. Dazu wird zum Beispiel eine Titanschicht abgeschieden und ein Temperschritt zur Bildung der Titansilizidanschlüsse 25 durchgeführt. Bei der Bildung der Titansilizidanschlüsse 25 wird die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 24 vollständig aufgebraucht, so daß nirgendwo ungewollte pn-Übergänge entstehen. Die Titansilizidanschlüsse 24 entstehen sowohl an der Oberfläche der ersten Teilgebiete 16, 18 und zweiten Teilgebiete 20, 23 als auch auf der Oberfläche der Gateelektroden 11 und auf der freiliegenden Halbleiteroberfläche zwischen den benachbarten n-Kanal- und p-Kanal-Transistoren. Dadurch wird ein Source/Drain-Gebiet des p-Kanal-Transistors mit einem des n-Kanal-Transistors verbunden. Auf diese Weise wird selbstjustierend ein Inverter hergestellt.

Bei kurzen Kanallängen unter 150 nm liegt es im Rahmen der Erfindung, die Gateelektroden 11 mit T-förmigen Querschnitt herzustellen, um den Anschlußwiderstand der Gateelektroden 11 zu verbessern.

Die Seitenwandspacer 9 aus  $\text{Si}_3\text{N}_4$  verhindern in diesem Beispiel die Ausbildung parasitärer MOS-Transistoren.

sistoren entlang der Seitenwände der Halbleiterinsel 6. Die Seitenwandspacer 9 können alternativ aus  $\text{SiO}_2$  gebildet werden. Um in diesem Fall ein Freiätzen der Ecken der Halbleiterinsel 6 bei der Strukturierung des Gatedielektrikums 10 zu vermeiden, liegt es in diesem Fall im Rahmen der Erfindung, die Gateelektrode 11 aus mindestens zwei Schichten herzustellen, die nacheinander abgeschieden und strukturiert werden und wobei zwischen den beiden Schichten ein weiterer  $\text{SiO}_2$ -Spacer gebildet wird.

In dem Ausführungsbeispiel wird in der Halbleiterinsel ein p-Kanal-Transistor und ein n-Kanal-Transistor hergestellt, die als Inverter verschaltet sind. Selbstverständlich ist die Erfindung auch anwendbar auf Halbleiterinseln in denen nur ein Transistortyp, zum Beispiel n- oder p-Kanal-Transistoren oder nur ein einzelner Transistor vorgesehen ist.

Da die Halbleiterinseln 6 an der Oberfläche der isolierenden Schicht 2 angeordnet sind und die Kapazität der ersten Teilgebiete 16, 18 und zweiten Teilgebiete 20, 23 der Source/Drain-Gebiete zur Trägerplatte 1 umgekehrt proportional zur Dicke der isolierenden Schicht 2 ist, läßt sich diese Kapazität über die Dicke der isolierenden Schicht 2 einstellen. Weist die isolierende Schicht 2 eine Dicke von zum Beispiel 400 nm auf, so sind diese Kapazitäten vergleichbar mit denjenigen in einem MOS-Transistor in semiisolierendem GaAs. Damit werden in der erfindungsgemäßen CMOS-Schaltungsanordnung mit Si-MOS-Transistoren mit III-V-Halbleiter-Schaltungen vergleichbare Kapazitäten, annähernd ebenso gute Niederfeldbeweglichkeiten, aber gegenüber GaAs bessere Sättigungsdriftgeschwindigkeiten bei hohen Feldern erzielt. Bei Kanal-längen unter 100 nm sollten aber die Sättigungseigenschaften einen größeren Einfluß auf die Schaltzeiten haben als die Niederfeldbeweglichkeiten.

#### Patentansprüche

1. Integrierte CMOS-Schaltungsanordnung,
  - bei der auf einer isolierenden Schicht (2), die auf einer Trägerplatte (1) angeordnet ist, Halbleiterinseln (6) angeordnet sind, die jeweils mindestens eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und eine verspannte Siliziumschicht (5), die im wesentlichen die gleiche Gitterkonstante wie die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) aufweist, umfassen,
  - bei der in mindestens einer Halbleiterinsel (6) ein p-Kanal-MOS-Transistor und in mindestens einer Halbleiterinsel ein n-Kanal-MOS-Transistor vorgesehen ist.
2. CMOS-Schaltungsanordnung nach Anspruch 1, bei der zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und der isolierenden Schicht (2) eine Siliziumschicht (3) angeordnet ist.
3. CMOS-Schaltungsanordnung nach Anspruch 2,
  - bei der die strukturierte Siliziumschicht (3) eine Dicke zwischen 0 nm und 20 nm aufweist,
  - bei der die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) eine Dicke zwischen 10 nm und 50 nm und einen Germaniumanteil von zwischen 20 Prozent und 50 Prozent aufweist,
  - bei der die verspannte Siliziumschicht (5) eine Dicke zwischen 5 nm und 20 nm aufweist.
4. CMOS-Schaltungsanordnung nach einem der Ansprüche 1 bis 3, bei der zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und der verspannten Siliziumschicht (5) eine Pufferschicht angeordnet ist, die  $\text{Si}_{1-y}\text{Ge}_y$  enthält und in der der Germaniumanteil abnimmt.
5. CMOS-Schaltungsanordnung nach einem der Ansprüche 1 bis 4, bei der die Gateelektroden (11) der MOS-Transistoren polykristallines Germanium enthalten.
6. CMOS-Schaltungsanordnung nach einem der Ansprüche 1 bis 5, bei der in mindestens einer Halbleiterinsel (6) mindestens ein p-Kanal-Transistor und ein n-Kanal-Transistor angeordnet sind.
7. Verfahren zur Herstellung einer integrierten CMOS-Schaltungsanordnung,
  - bei dem die Siliziumschicht (3) eines SOI-Substrates, das eine Siliziumschicht (3) und eine darunter angeordnete isolierende Schicht (2) auf einer Trägerplatte (1) umfaßt, inselförmig strukturiert wird, wobei die Oberfläche der isolierenden Schicht (2) teilweise freigelegt wird,
  - bei dem zur Bildung von Halbleiterinseln (6) auf der strukturierten Siliziumschicht (3) eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und eine verspannte Siliziumschicht (5) gebildet werden,
  - bei dem die Dicke der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) so auf die Dicke der strukturierten Siliziumschicht (3) abgestimmt wird, daß sich die Gitterkonstante der strukturierten Siliziumschicht (3) der Gitterkonstanten der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) anpaßt,
  - bei dem in den Halbleiterinseln (6) n-Kanal-Transistoren und/oder p-Kanal-Transistoren gebildet werden.
8. Verfahren nach Anspruch 7,
  - bei dem die strukturierte Siliziumschicht (3) in

einer Dicke zwischen 5 nm und 20 nm gebildet wird,

- bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) mit einer Dicke zwischen 10 nm und 50 nm und einem Germaniumanteil  $x$  zwischen 20 Prozent und 50 Prozent gebildet wird. 5
- bei dem die gespannte Siliziumschicht (5) in einer Dicke zwischen 5 nm und 50 Prozent gebildet wird. 10
- 9. Verfahren nach Anspruch 7 oder 8, bei dem zur Bildung der Halbleiterinseln (6) durch selektive Epitaxie auf die strukturierte Siliziumschicht (3) die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und die gespannte Siliziumschicht (5) aufgewachsen werden. 15
- 10. Verfahren nach Anspruch 7 oder 8, bei dem zur Bildung der Halbleiterinseln (6) in die strukturierte Siliziumschicht (3) zur Bildung der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) Germanium durch Implantation oder Diffusion eingebracht wird und bei dem auf die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) die gespannte Siliziumschicht (5) durch selektive Epitaxie aufgewachsen wird. 20 25
- 11. Verfahren nach einem der Ansprüche 7 bis 10, bei dem zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und der gespannten Siliziumschicht (5) durch selektive Epitaxie eine Pufferschicht aufgewachsen wird, die  $\text{Si}_{1-y}\text{Ge}_y$  mit  $y \leq x$  enthält und in der Germaniumanteil abnimmt. 30
- 12. Verfahren nach einem der Ansprüche 7 bis 11, 35
  - bei dem zur Herstellung mindestens eines p-Kanal-Transistors und eines n-Kanal-Transistors auf der Oberfläche der Halbleiterinseln (6) Gatestapel gebildet werden, die jeweils ein Gatedielektrikum (10), eine Gateelektrode (11) und eine Deckschicht (12) umfassen, 40
  - bei dem eine Hilfsschicht (13) mit im wesentlichen konformer Kantenbedeckung abgeschieden wird, 45
  - bei dem im Bereich der Flanken der Gatestapel Spacer (140) gebildet werden, die selektiv zur Hilfsschicht (13) ätzbar sind, 50
  - bei dem jeweils durch maskierte Implantation erste Teilgebiete (16, 18) der Source/Drain-Gebiete für den n-Kanal-Transistor und den p-Kanal-Transistor gebildet werden, 55
  - bei dem die Spacer (140) entfernt werden,
  - bei dem nacheinander zweite Teilgebiete (20,

23) der Source/Drain-Gebiete für den n-Kanal-Transistor und den p-Kanal-Transistor gebildet werden, während Tiefe und Dotierstoffkonzentration jeweils geringer als die der ersten Teilgebiete (16, 18) ist.

- 13. Verfahren nach Anspruch 12, bei dem mindestens die zweiten Teilgebiete (23) der Source/Drain-Gebiete für den p-Kanal-Transistor durch Ätzen mindestens in die gespannte Siliziumschicht (5) und selektive, in situ dotierte Epitaxie gebildet werden.
- 14. Verfahren nach einem der Ansprüche 7 bis 13, bei dem die Gateelektroden (11) der MOS-Transistoren polykristallines Germanium umfassen.

FIG 1

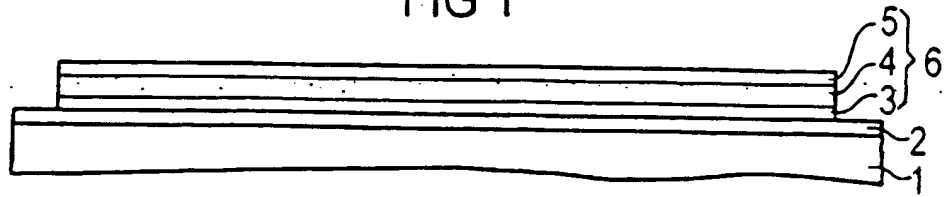


FIG 2

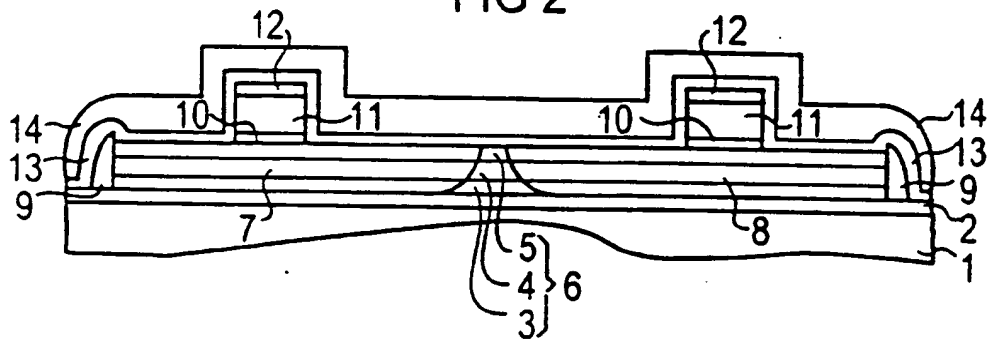


FIG 3

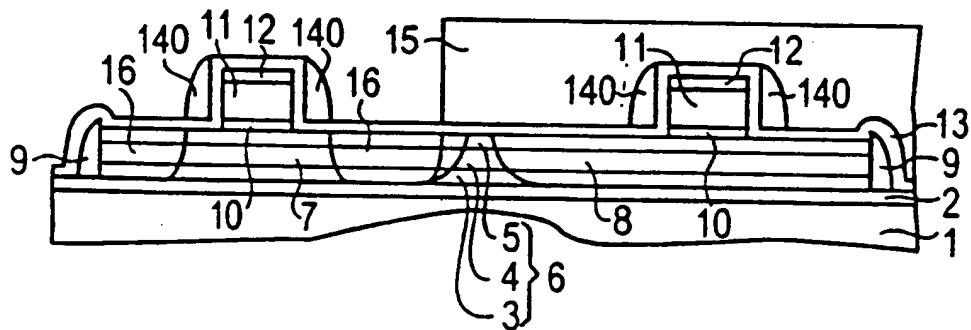




FIG 4

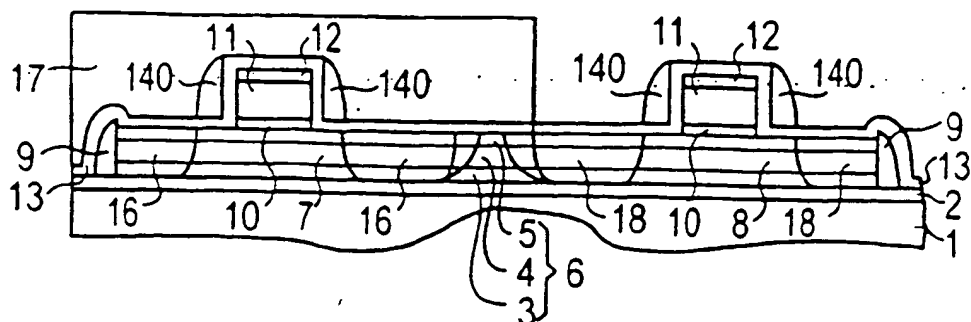


FIG 5

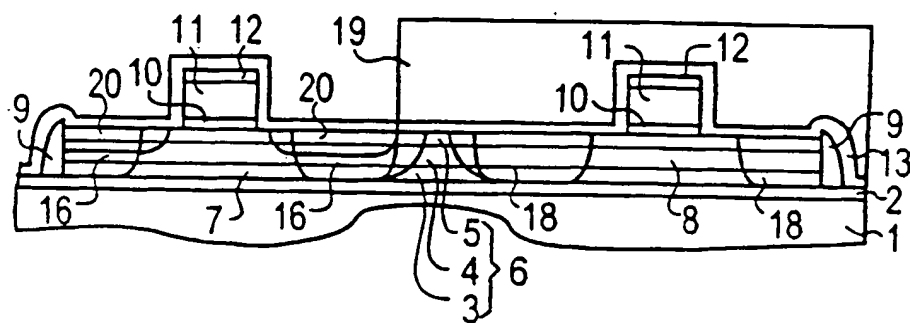


FIG 6

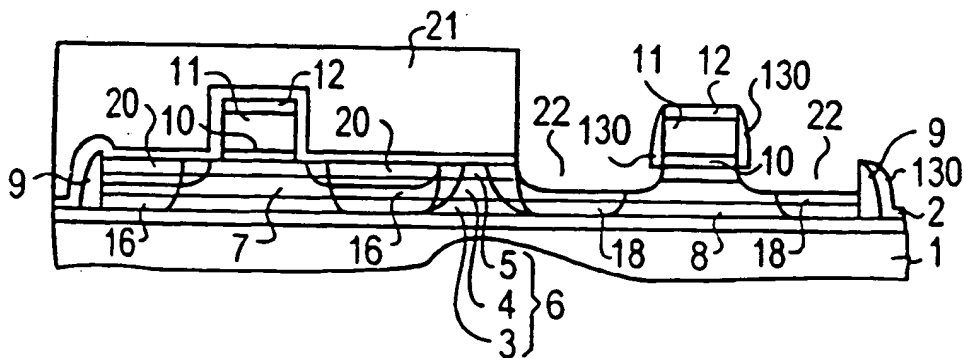


FIG 7

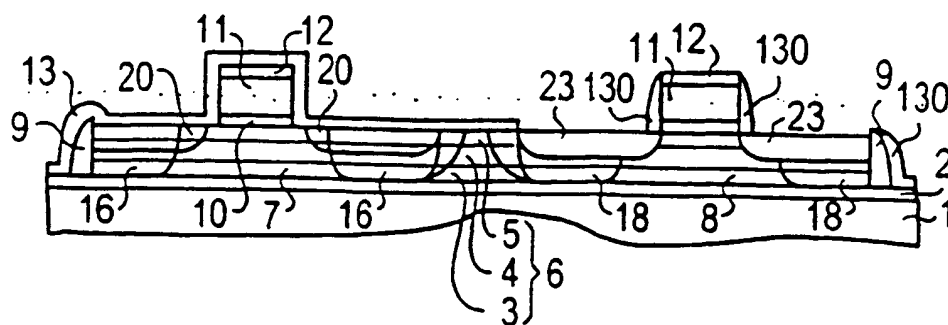


FIG 8

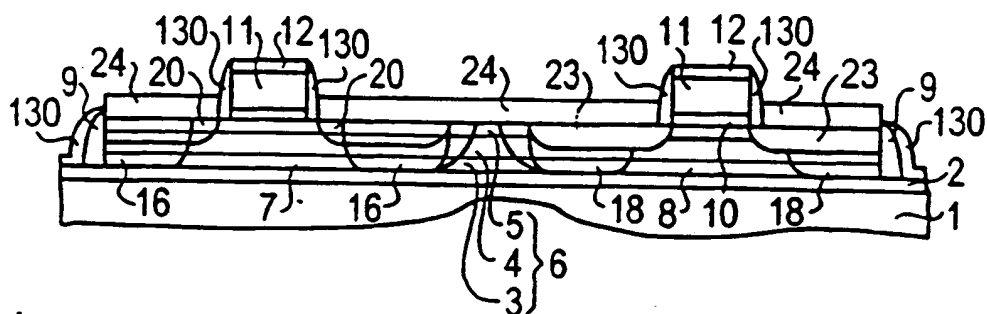
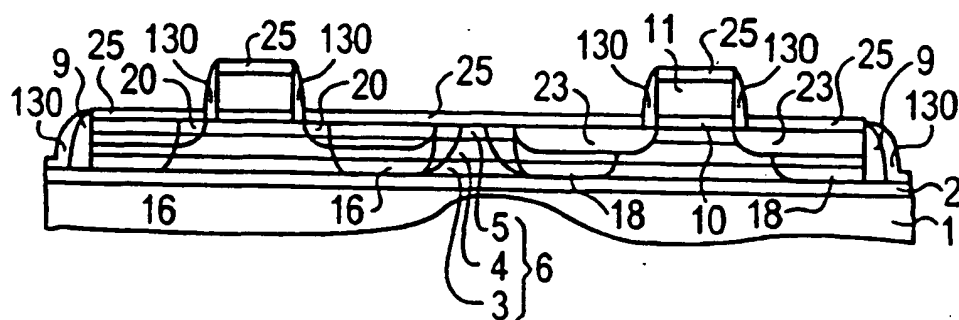


FIG 9





(12) **EUROPÄISCHE PATENTANMELDUNG**

(88) Veröffentlichungstag A3:  
30.09.1998 Patentblatt 1998/40

(51) Int. Cl.<sup>5</sup>: H01L 27/092, H01L 27/12,  
H01L 21/86, H01L 21/84

(43) Veröffentlichungstag A2:  
29.04.1998 Patentblatt 1998/18

(21) Anmeldenummer: 97113774.0

(22) Anmeldetag: 08.08.1997

(84) Benannte Vertragsstaaten:  
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC  
NL PT SE  
Benannte Erstreckungsstaaten:  
AL LT LV RO SI

(30) Priorität: 27.09.1996 DE 19639874

(71) Anmelder:  
**SIEMENS AKTIENGESELLSCHAFT**  
**80333 München (DE)**

(72) Erfinder:

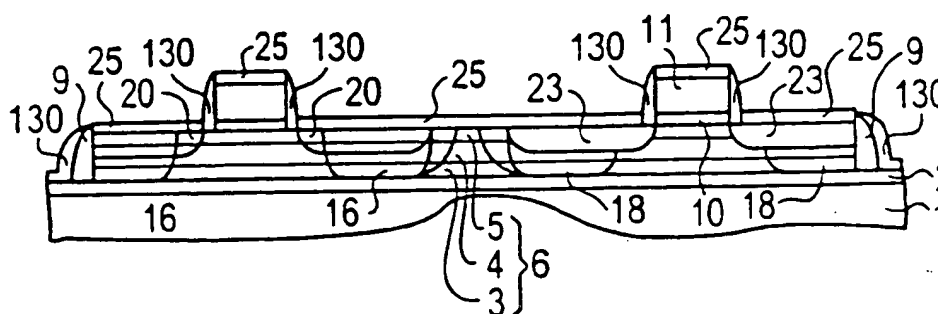
- Lustig, Bernhard, Dr.  
81737 München (DE)
- Schäfer, Herbert, Dr.  
85635 Höhenkirchen-Siegertsbr. (DE)
- Franosch, Martin  
81739 München (DE)

(54) Integrierte CMOS-Schaltungsanordnung und Verfahren zu deren Herstellung

(57) Auf einer isolierenden Schicht (2), die auf einer Trägerplatte (1) angeordnet ist, sind Halbleiterinseln (6) angeordnet, die jeweils mindestens eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) und eine verspannte Siliziumschicht (5) umfassen, die im wesentlichen die gleiche Gitterkon-

stamte wie die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht (4) aufweist. Die Halbleiterinseln werden vorzugsweise durch selektive Epitaxie gebildet und umfassen p-Kanal-MOS-Transistoren und/oder n-Kanal-MOS-Transistoren.

FIG 9





Europäisches  
Patentamt

## EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 97 11 3774

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
Y	JP 07 142 742 A (SHARP) 2.Juni 1995 * Abbildungen 1-10 *	1-14	H01L27/092 H01L27/12 H01L21/86 H01L21/84
D,Y	K. RIM: "ENHANCED HOLE MOBILITIES IN SURFACE-CHANNEL STRAINED-Si p-MOSFETS" PROCEEDINGS OF THE 1995 INTERNATIONAL ELECTRON DEVICES MEETING, IEDM'95, 10. - 13.Dezember 1995, WASHINGTON, Seiten 517-520, XP002073202 * Seite 517 - Seite 519; Abbildung 1 *	1-14	
Y	EP 0 651 439 A (IBM) 3.Mai 1995 * Spalte 3, Zeile 26 - Spalte 4, Zeile 58; Abbildungen 1,2 *	1-14	
Y	EP 0 469 790 A (AMERICAN TELEPHONE AND TELEGRAPH COMPANY) 5.Februar 1992 * Zusammenfassung; Abbildungen 2-4 *	9	
A	"PLANAR FULLY-INTEGRATED BULK/SOI SIGE CMOS FABRICATION PROCESS" IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 34, Nr. 10A, 1.März 1992, Seiten 128-129, XP000302251 * Seite 128, Zeile 5 - Seite 129, Zeile 17 *	1-14	RECHERCHIERTE SACHGEBIETE (Int.Cl.6) H01L
A	EP 0 587 520 A (IBM) 16.März 1994 * Zusammenfassung; Abbildungen 1,2 *	1-14	
A	EP 0 480 446 A (TEXAS INSTRUMENTS INC) 15.April 1992 * Spalte 15, Zeile 2-7; Abbildungen 5-19 *	12-14	
-/--			
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchemort <b>MÜNCHEN</b>		Abschlußdatum der Recherche <b>30.Juli 1998</b>	Prüfer <b>Berthold, K</b>
<b>KATEGORIE DER GENANNTEN DOKUMENTE</b> X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichttechnische Offenbarung P: Zwischenliteratur T: der Erfindung zugrunde liegende Theorien oder Grundsätze E: älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			

EPO FORM 1503 03 82 (P04C03)



Europäisches  
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung  
EP 97 11 3774

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (INCL. 6)
A	FITZGERALD E A: "THE EFFECT OF SUBSTRATE GROWTH AREA ON MISFIT AND THREADING DISLOCATION DENSITIES IN MISMATCHED HETEROSTRUCTURES" JOURNAL OF VACUUM SCIENCE AND TECHNOLOGY: PART 8, Bd. 7, Nr. 4, 1. Juli 1989, Seiten 782-788, XP000168938 * Seite 787 - Seite 788 *	9	
A	EP 0 683 522 A (IBM) 22. November 1995 * Spalte 8, Zeile 51 - Spalte 9, Zeile 17; Abbildungen 1-3 *	1-14	
A	NAYAK D K ET AL: "HIGH-MOBILITY GESI PMOS ON SIMOX" IEEE ELECTRON DEVICE LETTERS, Bd. 14, Nr. 11, 1. November 1993, Seiten 520-522, XP000418568 * Seite 520, rechte Spalte, Zeile 16 - Seite 521, rechte Spalte, Zeile 48; Abbildung 1 *	1-14	
			RECHERCHIERTE SACHGEBIETE (INCL. 6)
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort <b>MÜNCHEN</b>		Abschlußdatum der Recherche <b>30. Juli 1998</b>	
		Prüfer <b>Berthold, K</b>	
<b>KATEGORIE DER GENANNTEN DOKUMENTE</b> X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichtschriftliche Offenbarung P: Zwischenliteratur T: der Erfindung zugrunde liegende Theorien oder Grundsätze E: älteres Patentsdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			

EPO FORM 1503 03 82 (P04C03)

**THIS PAGE BLANK (USPTO)**